

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

003584950

WPI Acc No: 1983-D3147K/198310

**Short-channel MOS semiconductor device - has dielectric strength
maintained and has little variation in threshold-voltage NoAbstract**

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58016566	A	19830131				198310 B

Priority Applications (No Type Date): JP 81113704 A 19810722

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 58016566	A		8		

Title Terms: SHORT; CHANNEL; MOS; SEMICONDUCTOR; DEVICE; DIELECTRIC;
STRENGTH; MAINTAIN; VARIATION; THRESHOLD; VOLTAGE; NOABSTRACT

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

01079166 **Image available**
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 58-016566 [JP 58016566 A]
PUBLISHED: January 31, 1983 (19830131)
INVENTOR(s): YAMAMOTO NAOKI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 56-113704 [JP 81113704]
FILED: July 22, 1981 (19810722)
INTL CLASS: [3] H01L-029/78; H01L-029/50
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 171, Vol. 07, No. 94, Pg. 30, April
 20, 1983 (19830420)

ABSTRACT

PURPOSE: To prevent field concentration and the increase of withstand voltage, by forming the section of a gate electrode into a trapezoid, thus forming the slope of impurity density on the side of gate of source.drain regions.

CONSTITUTION: A thick oxide film 2 for element isolation is formed on the surface of an Si substrate 1, and a thin gate oxide film 3 on an MOSFET region. Next, an Mo film approximately 300nm thick is formed, and a gate electrode 4 is formed by etching this film. The etching for the Mo film is performed by reactive plasma etching. Thereat, when Freon contains oxygen, the sides do not become vertical, but slope. Next, source.drain regions 5 are formed by masking the electrode 4. Since the fringe of the electrode 4 is different in thickness because of sloped sides, the impurity density in the region 5 is not homogenized. Therefore, the field concentration at junction of the region 5 is reduced resulting in the prevention of the increase of withstand voltage between source.drain.

?

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑫ 公開特許公報 (A) 昭58—16566

⑤ Int. Cl.³
H 01 L 29/78
29/50

識別記号 庁内整理番号
7377—5F

③ 公開 昭和58年(1983)1月31日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ 半導体装置およびその製造方法

地株式会社日立製作所中央研究
所内

① 特 願 昭56—113704

① 出 願 人 株式会社日立製作所

② 出 願 昭56(1981)7月22日

東京都千代田区丸の内1丁目5
番1号

⑦ 発 明 者 山本直樹

国分寺市東恋ヶ窪1丁目280番

④ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置

およいい製造方法

特許請求の範囲

1. 半導体基板の一面表面上にゲート絶縁膜を介して形成された断面形状が台形のゲート電極と、上記半導体基板の表面領域内に形成され、上記ゲート電極の下方にある部分に濃度勾配を有するソース・ドレイン領域をそなえたことを特徴とする半導体装置。
2. 上記ゲート電極は高融点金属もしくは多結晶シリコンからなる特許請求の範囲第1項記載の半導体装置。
3. 上記高融点金属は、モリブデン、タングステン、クロム、チタン、もしくはニオブから選ばれる特許請求の範囲第2項記載の半導体装置。
4. 上記ソース・ドレイン領域はひ素イオンを打込まれた領域である特許請求の範囲第1項乃至第3項記載の半導体装置。
5. 実効チャネル長が $3\mu\text{m}$ 以下である特許請求の範囲第1項乃至第4項記載の半導体装置。

6. 下記工程を含む半導体装置の製造方法

- (1) 半導体基板の一面表面上の所望部分にゲート絶縁膜とゲート電極膜を積層して被着する工程。
- (2) 上記ゲート電極膜の所望部分をドライエッチングによつて選択的に除去し、断面形状が台形であるゲート電極を形成する工程。
- (3) 上記ゲート電極をマスクに用いてイオン打込みを行ない、ソース・ドレイン領域を形成する工程。

7. 上記ゲート電極膜はモリブデン膜であり、上記ドライエッチングはフロンと酸素を含むガスを反応ガスによつて行なわれる特許請求の範囲第6項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置に関し、詳しくは、耐圧低下やしきい値電圧変動の少ないMOS半導体装置 およいい製造方法 に関する。

近年におけるMOS半導体装置の集積度向上に伴い、単位MOSトランジスタのチャネル長

も著るしく短くなる傾向にある。

MOSトランジスタのチャネル長が短くなると、ソース・ドレイン間の耐圧低下や、ホットエレクトロンによるしきい値電圧の変動などが大きな問題となってきた。

このような問題を解決するため、ソース・ドレイン領域に低濃度のリンを打込んだ後、高濃度のヒ素を打込んで、熱処理を行ない、両者の拡散定数の差を利用して、不純物層に濃度勾配を作り、これによつて電界集中を防止する方法が提案されている。

しかし、この方法は、リンの拡散定数が非常に大きいので、短いチャネル長を形成することが困難で、ほぼ2 μ m以下の短チャネル素子の形成に適用するのは厳かしかつた。

本発明の目的は、上記従来の問題を解決し、電界集中による耐圧低下のない短チャネルMOS半導体装置を提供することである。

上記目的を達成するため、本発明は、ゲート電極の断面形状を台形にすることによつて、ソース

領域の含有量が増すと、側面はさらに傾斜するので、CF₄プラズマ中に含まれる酸素の量によつて、ゲート電極4の側面の傾斜を、所望の角度に調節することが可能であり、本実施例においては、CF₄に対して20%の酸素を添加し、第2図に示したように、断面形状が台形のゲート電極4を形成した。

つぎに、上記ゲート電極4をマスクにして、ヒ素イオン打込みを行ない、ソース・ドレイン領域5を形成した。

厚さ200nmの酸化膜上に形成されてあるモリブデン膜を介してヒ素イオンを打込む場合、モリブデン膜の膜厚が200nm、ヒ素イオンの打込み条件が80K \times V、 1×10^{15} /cm²であると、ヒ素イオンはモリブデン膜をよく通過し、モリブデン膜の下方にある ρ 形シリコン基板は α 形化する。しかし、モリブデン膜の膜厚が300nmにすると、ヒ素イオンはマスクされてシリコン基板に到達せず、基板の導電形は変らなかつた。

本実施例の場合、ゲート電極4の厚さが同一の

・ドレイン領域のゲート側に不純物の濃度勾配を作り、これによつて電界集中を防止し、耐圧低下を防止するものである。

以下、本発明を詳細に説明する。

第1図乃至第3図は、本発明の一実施例を示す工程図である。

まず、第1図に示すように、シリコン基板1の主表面上に素子間分離用の厚い酸化膜2、およびMOSトランジスタ領域に薄いゲート酸化膜(膜厚は20nm)3を形成した。

つぎに、厚さは300nmのモリブデン膜を形成し、このモリブデン膜上に、周知の手段によつてホットレジストパターンを形成した後、このホットレジストパターンをマスクに用いて上記モリブデン膜をエッチングして、ゲート電極4を形成した。

モリブデン膜のエッチングは、CF₄など各種フロンを反応ガスとする反応性プラズマエッチングによつて行なうことができる。この際、CF₄などが酸素を含んでいると、側面は垂直にならず、傾斜するようになる。

部分は、ヒ素イオンが全く通過しない。しかし、ゲート電極4の周縁部は、上記のように、側面が傾斜して厚さが異なっているため、この部分の下方のソース・ドレイン領域は、自己整合的に濃度勾配を持つようになり、打込み深さのプロファイルも、第2図に示したように傾斜したものになる。

すなわち、本発明によれば、ソース・ドレイン領域内の不純物濃度は均一とはならず、ゲート側の端部では濃度勾配を有して、外部(ゲート側)へ向うほど濃度が低い。

そのため、ソース・ドレイン領域の接合における電界集中は緩和され、ソース・ドレイン間の耐圧低下は防止される。

第3図に示すように、りんけい酸ガラス(PSG)膜6を層間絶縁膜として被着した後、周知のホットエッチング技術を用いてコンタクト孔を形成し、アルミニウム・シリコン合金を用い配線7を形成した。

水蒸気雰囲気中で450℃、30分間のアニールを行なつた後、パッシベーション膜としてPSG

特開昭58-16566(3)

膜8を全面に堆積し、MOSトランジスタを形成した。

このようにして形成された実効チャネル長1.3 μ mのMOSトランジスタのソース・ドレイン間耐圧は9.5~10Vであつた。一方、従来のMOSトランジスタのソース・ドレイン間耐圧は、ほぼ8~8.5Vであることから、本発明によつて、ソース・ドレイン間耐圧が、著るしく改善されたことは明らかであり、ホットエレクトロンによる影響も低減することができた。

上記実施例においては、ゲート電極の材料として、モリブデンを使用した。本発明はモリブデンに限定されるものでないことは勿論であり、たとえばタングステン、ニオブ、チタン、クロムなどの高融点金属や多結晶シリコンなどを使用することができる。しかし、多結晶シリコンは、打込まれたイオンが通過し難いため、モリブデンなどの高融点金属を用いた方が、はるかに好ましい結果が得られる。

また、ソース・ドレイン領域形成のイオン打込

きい場合は、耐圧低下などの問題が生ずることは極めて少ないので、本発明は実効チャネル長がほぼ3 μ m以下のMOSトランジスタに適用して、最も有効である。

断面形状が台形のゲート電極を形成するには、エッチ液を用いる湿式のエッチングを用いることも、必ずしも不可能ではない。

しかし、湿式のエッチングは、ゲート電極の傾斜の程度を制御するのが困難であること、および、微細加工ができないこと、などの理由から、本発明の形成に使用するのには難かしい。

一方、エッチ液を用いないドライエッチングは、傾斜の程度の制御が容易であり、しかも、微細加工も可能なので、本発明の形成には極めて好適である。

通常の場合、ドライエッチングによつて得られるパターンの断面形状が台形状になるのは、所要面積の増大という見地から、好ましくないとされることが多く、側面を垂直にして、断面が台形状になるのを防止するために、多くの努力がなされ

みを行なつた後、活性化のために熱処理が必要なので、低融点の材料は、ゲート金属用材料として好ましくない。

ソースおよびドレインを形成するために打込まれるイオンとしては、ひ素イオンが最も好ましい。りんイオンは、イオン打込み時のマスクに傾斜部がなくても、打込みとその後に行なわれるアニールによつて、すべての周縁部に濃度勾配が生じてしまうため、本発明の効果が不明確であり、また、拡散係数が大きいので、チャネル長の短いMOSトランジスタの形成に用いることはむずかしい。

しかし、ひ素イオンはこのようなことがなく、本発明に使用した場合、ソース・ドレイン領域のうち、ゲート電極の下方にある部分のみに濃度勾配が生じ、本発明の効果が顕著に現われる。また、拡散係数の値も適当であるため、短いチャネルのMOSトランジスタを、支障なく形成することができる。

本発明は、チャネルの長さが大きいMOSトランジスタにも適用できるが、チャネルの長さが大

てきた。

しかし、本発明は、このような一般的常識とは反対に、ドライエッチングによつて、断面が台形状のゲート電極を積極的に形成し、これをソース・ドレイン領域形成の際のマスクとして用いたものである。

これは他に類を見ない本発明の大きな特徴であり、得られる利益は極めて大きい。

図面の簡単な説明

第1図乃至第3図は本発明の一実施例を示す工程図である。

1…シリコン基板、2, 3…絶縁膜、4…ゲート電極、5…ソース・ドレイン領域、6, 8…PSG膜、7…配線。

代理人 弁理士 薄田利幸

手続補正書(方式)

昭和 56 年 12 月 11 日

特許庁長官 殿
事件の表示

昭和 56 年 特許願 第 11,3704 号

発明の名称

半導体装置およびその製造方法

補正をする者

特許出願人
〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
代表者 三 田 勝 茂

代理人

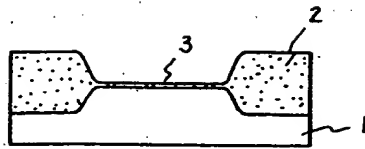
〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 東京 433-4221
成 名 (7237) 幸 田 利 幸 達 利 幸 達 利

補正命令の日付 昭和56年11月24日

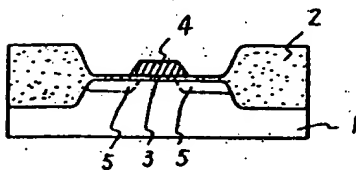
補正の対象 明細書の第1頁および第2頁

補正の内容 本願明細書第1頁および第2頁を別紙
のように添付する(内容に変更なし)

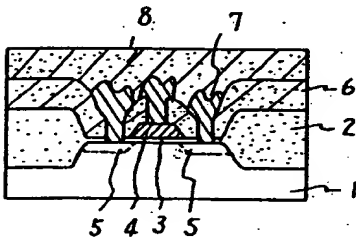
第1図



第2図



第3図



明 細 書

発明の名称 半導体装置およびその製造方法

特許請求の範囲

1. 半導体基板の一主表面上にゲート絶縁膜を介して形成された断面形状が台形のゲート電極と、上記半導体基板の表面領域内に形成され、上記ゲート電極の下方にある部分に濃度勾配を有するソース・ドレイン領域をそなえたことを特徴とする半導体装置。
2. 上記ゲート電極は高融点金属もしくは多結晶シリコンからなる特許請求の範囲第1項記載の半導体装置。
3. 上記高融点金属は、モリブデン、タングステン、クロム、チタン、もしくはニオブから選ばれる特許請求の範囲第2項記載の半導体装置。
4. 上記ソース・ドレイン領域はひ素イオンを打込まれた領域である特許請求の範囲第1項乃至第3項記載の半導体装置。
5. 実効チャンネル長がほぼ3μm以下である特許請求の範囲第1項乃至第4項記載の半導体装置。

6. 下記工程を含む半導体装置の製造方法

- (1) 半導体基板の一主表面上の所望部分にゲート絶縁膜とゲート電極膜を積層して被着する工程。
- (2) 上記ゲート電極膜の所望部分をドライエッチングによって選択的に除去し、断面形状が台形であるゲート電極を形成する工程。
- (3) 上記ゲート電極をマスクに用いてイオン打込みを行ない、ソース・ドレイン領域を形成する工程。

7. 上記ゲート電極膜はモリブデン膜であり、上記ドライエッチングはフロンと酸素を含むガスを反応ガスによって行なわれる特許請求の範囲第6項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置およびその製造方法に関し、詳しくは、耐圧低下やしきい値電圧変動の少ないMOS半導体装置およびその製造方法に関する。

近年におけるMOS半導体装置の集積度向上にともない、単位MOSトランジスタのチャンネル長